

02.12.2004

PA 1236026

THE UNITED STATES OF AMERICA**TO ALL TO WHOM THESE PRESENTS SHALL COME:****UNITED STATES DEPARTMENT OF COMMERCE****United States Patent and Trademark Office****October 13, 2004**

THIS IS TO CERTIFY THAT ANNEXED HERETO IS A TRUE COPY FROM THE RECORDS OF THE UNITED STATES PATENT AND TRADEMARK OFFICE OF THOSE PAPERS OF THE BELOW IDENTIFIED PATENT APPLICATION THAT MET THE REQUIREMENTS TO BE GRANTED A FILING DATE UNDER 35 USC 111.

APPLICATION NUMBER: 60/534,193**FILING DATE: January 02, 2004**

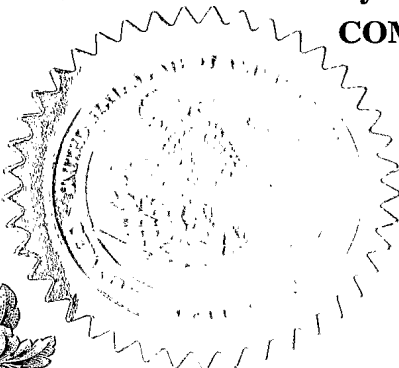
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

REC'D 23 DEC 2004

WIPO

PCT

By Authority of the
COMMISSIONER OF PATENTS AND TRADEMARKS



T. LAWRENCE
Certifying Officer

PROVISIONAL APPLICATION FOR PATENT COVER SHEET

This is a request for filing a PROVISIONAL APPLICATION FOR PATENT under 37 CFR 1.53(c).

INVENTOR(S)

Given Name (first and middle [if any])	Family Name or Surname	Residence (City and either State or Foreign Country)	
Katsuki KUSUNOKI		Chiba	Japan

☐ Additional inventors are being named on the _____ separately numbered sheet(s) attached hereto**TITLE OF THE INVENTION (500 characters max)**

PRODUCTION METHOD OF SEMICONDUCTOR CHIP, AND SEMICONDUCTOR CHIP

CORRESPONDENCE ADDRESS

Direct all correspondence to the address for SUGHRUE MION, PLLC filed under the Customer Number listed below:

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

ENCLOSED APPLICATION PARTS (check all that apply)

- | | | | |
|--|------------------|-----------------------|--|
| <input checked="" type="checkbox"/> Specification | Number of Pages | 5 (Japanese Language) | <input type="checkbox"/> CD(s), Number |
| <input checked="" type="checkbox"/> Drawing(s) | Number of Sheets | 2 | <input type="checkbox"/> Other (specify) |
| <input type="checkbox"/> Application Data Sheet. See 37 CFR 1.76 | | | |

METHOD OF PAYMENT OF FILING FEES FOR THIS PROVISIONAL APPLICATION FOR PATENT

- ☐ Applicant claims small entity status. See 37 CFR 1.27.
- ☒ A check or money order is enclosed to cover the Provisional filing fees. The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.
- ☐ The USPTO is hereby authorized to charge the Provisional filing fees to our Deposit Account No. 19-4880. The USPTO is directed and authorized to charge all required fees, except for the Issue Fee and the Publication Fee, to Deposit Account No. 19-4880. Please also credit any overpayments to said Deposit Account.

FILING FEE
AMOUNT (\$)

\$160.00

The invention was made by an agency of the United States Government or under a contract with an agency of the United States Government.

- ☒ No.
- ☐ Yes, the name of the U.S. Government agency and the Government contract number are:

Respectfully submitted,

SIGNATURE

Abraham J. Rosner / Bruce E. Kramer
Reg. No. 33,725DATE January 2, 2004

TYPED or PRINTED NAME

Abraham J. RosnerREGISTRATION NO. 33,276

TELEPHONE NO.

(202) 293-7060DOCKET NO. P79257**USE ONLY FOR FILING A PROVISIONAL APPLICATION FOR PATENT**

【書類名】明細書

【発明の名称】半導体チップ製造方法および半導体チップ

【技術分野】

【0001】

本発明は、青色発光ダイオード、青色レーザーダイオード等の発光デバイスに使用される窒化ガリウム系化合物半導体チップを製造する半導体チップ製造方法およびその製造方法で得られた半導体チップに関するものである。

【背景技術】

【0002】

従来、半導体材料が積層されたウェハーから、発光デバイス用のチップを切り出す場合、スクライパーやダイサーが使用されている。

【0003】

ところで、半導体材料が窒化物のとき、その窒化物半導体は一般にサファイア基板からなるウェハーに積層されるため、そのウェハーは六方晶系というサファイア結晶の性質上へき開性を有しておらず、スクライパーで切断することは困難であった。

【0004】

また、ダイサーで切断する場合は、サファイア、窒化物半導体両方とも非常に硬い物質であるため、切断面にクラック、チッピングが発生しやすくなるし、サファイア基板と窒化物半導体とのヘテロエピタキシャル構造による格子定数不整合大や熱膨張率差に起因して、ダイサーで切断すると、窒化物半導体層がサファイア基板から剥れやすくなるという問題があった。

【0005】

そこで、上記従来の技術的課題を解決するために、ウェハーから発光デバイス用の窒化物半導体チップを切り出す他の手法として、下記の特許文献1に記載された手法が提案されている。これは、図4に示すように、サファイア基板100上に窒化ガリウム系化合物半導体層200を形成してなるウェハーを切断する際に、窒化ガリウム系化合物半導体層200側に第一の割り溝110を形成し、サファイア基板100側に第一の割り溝110の中央線と合致する位置で、第一の割り溝110の線幅(W10)よりも細い線幅(W20)を有する第二の割り溝220を形成することにより、所望の形状、サイズに切断できるようにしたものである。

【特許文献1】特許公報第2780618号

【0006】

しかし、上記特許文献1の手法を実際に実施した場合、チップ分割の際に、チップ断面は第一の割り溝110の中央の線fに沿って割れることは少なく、大部分が破線d、eに沿って斜めに割れる。このため、その破断面はチップ側の窒化ガリウム系化合物半導体層200に入り込んで不良品となり、チップの歩留まりが低下してしまうことが分かった。また、チップ断面が斜めになるため、チップサイズを小さくすることが困難で、一枚のウェハーから取り出せるチップ数が制約され、生産性が悪化するという問題点も有していた。

【発明の開示】

【発明が解決しようとする課題】

【0007】

この発明は上記に鑑み提案されたもので、窒化ガリウム系化合物半導体チップを製造する際に、極めて高い歩留まりで正確に切断することができ、また一枚のウェハーから取り出せるチップ数を増加させ、生産性を改善させることができる半導体チップ製造方法およびその製造方法で得られた半導体チップを提供することを目的とする。

【課題を解決するための手段】

【0008】

1) 上記目的を達成するために、第1の発明は、基板の主面上に窒化ガリウム系化合物半導体を積層したウェハーから窒化ガリウム系化合物半導体チップを製造する半導体チッ

ブ製造方法において、前記ウェハーの窒化ガリウム系化合物半導体層側に第一の割り溝を所望のチップ形状で線状にエッチングにより形成する工程と、前記ウェハーの基板側に第一の割り溝の中央線と合致しない位置で、第一の割り溝の線幅(W1)とほぼ同等もしくはより細い線幅(W2)を有する第二の割り溝を形成する工程と、前記第一の割り溝および前記第二の割り溝に沿って、前記ウェハーをチップ状に分離する工程と、を有することを特徴としている。

【0009】

2) 第2の発明は、上記した1)項に記載の発明の構成に加えて、前記基板をサファイアとし、そのサファイア基板のC面を主面としたときに、前記第一および第二の割り溝は、オリフラ(11-20)と平行な第一の方向と、当該第一の方向と直交する第二の方向とに沿って形成され、その第一および第二の割り溝に沿ってウェハーを分離する、ことを特徴としている。

【0010】

3) 第3の発明は、上記した1)項または2)項に記載の発明の構成に加えて、前記第一の割り溝の線と合致しない位置は、基板を平面視した場合に、第一の割り溝の中央線に対してその第一の割り溝の線幅(W1)の20~100%だけ離れた位置である、ことを特徴としている。

【0011】

4) 第4の発明は、上記した1)項から3)項の何れかに記載の発明の構成に加えて、前記第二の割り溝を形成する工程において、チップの斜め割れする角度が60~85°の切断面を有するように、第二の割り溝を形成する、ことを特徴としている。

【0012】

5) 第5の発明は、上記した1)項から4)項の何れかに記載の発明の構成に加えて、前記第二の割り溝を形成する前に、基板側を研磨して基板の厚さを60~100μmに調整する工程を具備する、ことを特徴としている。

【0013】

6) 第6の発明は、上記した1)項から5)項の何れかに記載の発明の構成に加えて、前記第一の割り溝に、窒化ガリウム系化合物半導体チップの電極を形成する電極形成面を臨ませる、ことを特徴としている。

【0014】

7) 第7の発明は、上記した1)項から6)項の何れかに記載の発明の構成に加えて、前記第二の割り溝をエッチング、ダイシング、パルスレーザー、およびスクライプから選ばれた少なくとも一つの方法により形成する、ことを特徴としている。

【0015】

8) 第8の発明は、上記した1)項から7)項の何れかに記載の発明の構成に加えて、前記基板が六方晶のSiCからなる、ことを特徴としている。

【0016】

9) 第9の発明は、上記した1)項から7)項の何れかに記載の発明の構成に加えて、前記基板が六方晶の窒化物半導体からなる、ことを特徴としている。

【0017】

10) 第10の発明は、上記した1)項から7)項の何れかに記載の発明の構成に加えて、前記基板が六方晶のGaNからなる、ことを特徴としている。

【0018】

11) 第11の発明は、上記した1)項から10)項の何れかに記載の半導体チップ製造方法により得られた半導体チップである、ことを特徴としている。

【発明の効果】

【0019】

この発明では、窒化ガリウム系化合物半導体層側の第一の割り溝と、基板側の第二の割り溝とを互いに合致しない位置に形成し、例えば基板を平面視した場合に、第一の割り溝の中央線に対してその第一の割り溝の線幅(W1)の20~100%だけ離れた位置に第

二の割溝を形成し、第一および第二の割溝に沿ってウェハーが割れる際に切断面が斜めに割れる傾向を利用して半導体チップを製造するようにしたので、へき開性のない基板に、へき開性のない窒化ガリウム系化合物半導体を積層したウェハーであっても、極めて高い歩留まりで正確に切断することができ、また小さなチップに分離することができるので、一枚のウェハーから取り出せるチップ数を増加させ、生産性を改善させることができる。

【発明を実施するための最良の形態】

【0020】

以下にこの発明の実施の形態を図面に基づいて詳細に説明する。

【0021】

図1および図2は本発明の半導体チップ製造方法を説明するためのウェハーの模式断面図である。ここでは、サファイア基板1の上にn型窒化ガリウム系化合物半導体層（n型層）2と、p型窒化ガリウム系化合物半導体層（p型層）3とを積層して形成したウェハーをチップ状に分離（分割）する場合について説明する。

【0022】

本発明の製造方法では、先ず窒化ガリウム系化合物半導体層2、3側に第一の割り溝11を所望のチップ形状で線状にエッチングにより形成する。この第一の割り溝11は、線幅はW1であり、p型層3をエッチングして、n型層2を露出するように形成している。

【0023】

次に、基板1側に、基板1を平面視した場合に、第一の割り溝11の中央線と合致しない位置、例えば第一の割り溝11の中央線に対してその第一の割り溝11の線幅（W1）の20～100%、好ましくは20～80%だけ離れた位置に、第二の割り溝22を形成する。この第二の割り溝22は、第一の割り溝11の線幅（W1）とほぼ同等もしくはより細かい線幅（W2）を有するように形成する。第二の割り溝22を第一の割り溝11の中央線に対し、どちら側に形成するかは、予め試し割りを行って決めることができる。

【0024】

そして、第一の割り溝11および第二の割り溝22に沿って、ウェハーをチップ状に分離する。このとき、ウェハーは、図1の破線bや図2の破線cに沿って斜めに割れ、その破断面の角度（チップの斜め割れする角度）は、基板1の面に対して60～85°をなしている。この発明では、第一の割り溝11の中央線に対して第二の割り溝22を離れた位置に形成しているので、その切断は第一の割り溝11以内に収まり、切断面がそれ以外のチップ側領域に入り込むようなことはない。

【0025】

すなわち、この発明では、第一および第二の割溝11、22に沿ってウェハーが割れる際に切断面が斜めに割れる傾向を利用して半導体チップを製造するようにしたので、へき開性のない基板1に、へき開性のない窒化ガリウム系化合物半導体2、3を積層したウェハーであっても、極めて高い歩留まりで正確に切断することができ、また小さなチップに分離することができるので、一枚のウェハーから取り出せるチップ数を増加させ、生産性を改善させることができる。

【0026】

上記の半導体チップ製造方法において、第一の割り溝11を形成するには、最も好ましくはウェットエッチング、ドライエッチングなどのエッチング方法を用いる。なぜならエッチングが最も窒化物半導体表面、側面を傷めにくいからである。ドライエッチングであれば、例えば反応性イオンエッチング、イオンミリング、集束ビームエッチング、ECRエッチングなどの手法を用いることができ、ウェットエッチングであれば、例えば硫酸とリン酸の混酸を用いることができる。但し、エッチングを行う前に、窒化物半導体表面に、所望のチップ形状となるように、所定のマスクを形成することはいうまでもない。

【0027】

次に、第二の割り溝22を基板1側に形成するには、エッチング、ダイシング、パルスレーザー、スクライプなどの手法を用いることができる。第二の割り溝22は基板1側に形成し、直接窒化物半導体層2、3にダイサー、スクライパー等の刃先が触れることはな

いので、この工程では第二の割り溝22を形成する手法は特に問わないが、その中でも特に好ましくはスクライブを用いる。なぜなら、スクライブは第二の割り溝22の線幅W2を、第一の割り溝11の線幅W1よりも狭くしやすく、また、エッチングに比べて迅速に割り溝を形成できるからである。さらに、ダイシングに比べて、ウェハー切断時に基板1を削り取る面積が少なく済むので、単一ウェハーから多くのチップが得られるという利点がある。

【0028】

また、第二の割り溝22を形成する前に、基板1側を研磨して薄くすることが好ましい。研磨後の基板厚さは150 μ m以下、さらに好ましくは60～100 μ mに調整することが好ましい。基板厚さを抑えることで、切断距離を短縮でき、それによって切断が第一の割り溝11以内に収まるのがより一層確実となるからである。

【0029】

次に、図3を併用して第1実施例について説明する。

【0030】

図3は第1実施例において窒化物半導体層側に形成した第一の割り溝を示す図である。この第1実施例では、厚さ400 μ m、大きさ2インチ ϕ のサファイア基板の上に順にn型Ga_{0.4}N_{0.6}層2aを5 μ mと、p型Ga_{0.4}N_{0.6}層3aとを1 μ m積層したウェハーを用意する。そして、このサファイア基板のC面を主面とし、第一および第二の割り溝を、オリフラ(11-20)と平行な第一の方向と、当該第一の方向と直交する第二の方向とに沿って形成する。

【0031】

次にp型Ga_{0.4}N_{0.6}層2aの上に、フォトリソグラフィ技術によりSiO₂よりなるマスクをかけた後、エッチングを行い、図3に示す形状で第一の割り溝11aを形成する。但し、第一の割り溝11aの深さはおよそ2 μ mとし、線幅W1を20 μ m、ピッチを350 μ mとする。

【0032】

また、第一の割り溝11aに臨む位置で、p型Ga_{0.4}N_{0.6}層3aを略半円状にエッチングし、n型Ga_{0.4}N_{0.6}層2aを露出させ、電極形成面としている。

【0033】

以上のようにして、第一の割り溝11aを形成した後、ウェハーのサファイア基板側を研磨器により研磨して、基板を80 μ mの厚さにラッピング及びポリッシングする。ポリッシングで基板表面を鏡面均一とし、容易にサファイア基板から第一の割り溝11aが確認できるようにする。

【0034】

次にp型Ga_{0.4}N_{0.6}層側に粘着テープを貼りつけ、スクライバーのテーブル上にウェハーを貼りつけ、真空チャックで固定する。テーブルはX軸(左右)、Y軸(前後)方向に移動することができ、回転可能な構造となっている。固定後、スクライバーのダイヤモンド針で、サファイア基板をX軸方向に350 μ mピッチ、深さ5 μ m、線幅5 μ mで一回スクライブする。テーブルを90°回転させて今後はY軸方向に同様にしてスクライブする。このようにして350 μ m角のチップになるようにスクライブラインを入れ、第二の割り溝を形成する。但し、第二の割り溝を形成する位置は、第一の割り溝11aの線の中央線11bと合致しない位置とする。

【0035】

スクライブ後、真空チャックを解放し、ウェハーをテーブルから剥ぎ取り、サファイア基板側から押し割って分離することにより、2インチ ϕ のウェハーから350 μ m角のチップを多数得た。外形不良の無いものを取り出したところ、歩留まりは90%以上であった。

【0036】

(比較例) 第1実施例において、第二の割り溝を形成する工程において、第一の割り溝の中央線と合致する位置で、基板側に第二の割り溝を形成し、350 μ m角のチップを

得たところ、歩留まりは60%であった。

【0037】

なお、上記の説明では、基板1をサファイアで形成するようにしたが、サファイア以外の材料、例えば六方晶のSiC、六方晶の窒化物半導体、また六方晶のGaNで形成するようにしてもよい。

【図面の簡単な説明】

【0038】

【図1】本発明の半導体チップ製造方法を説明するためのウェハの模式断面図である。

【図2】本発明の半導体チップ製造方法を説明するためのウェハの模式断面図である。

【図3】第1実施例において窒化物半導体層側に形成した第一の割り溝を示す図である。

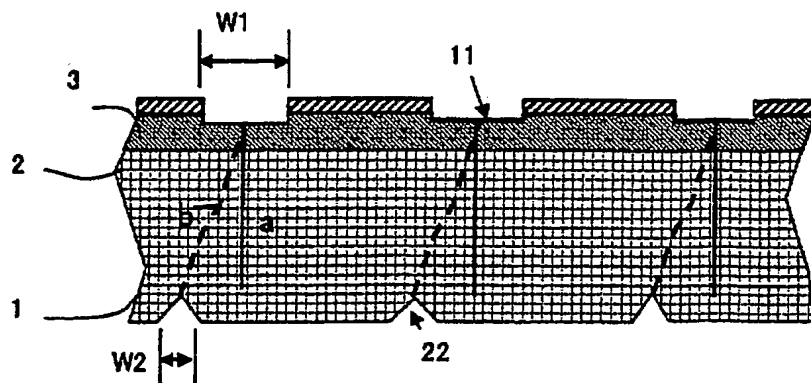
【図4】従来方法を説明するためのウェハの模式断面図である。

【符号の説明】

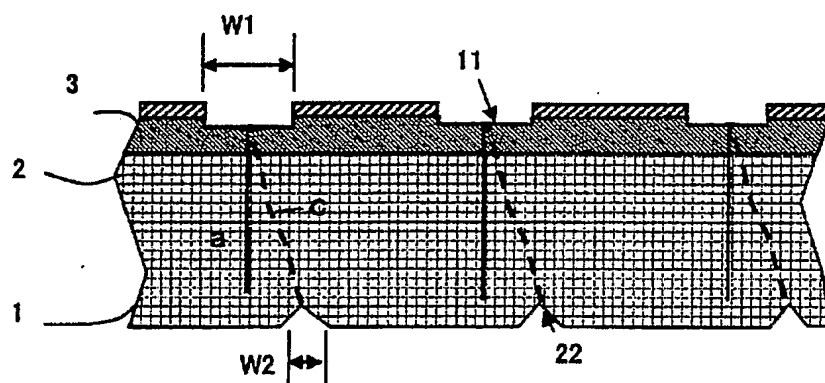
【0039】

- 1 基板
- 2 n型層
- 2a n型GaN層
- 3 p型層
- 3a p型GaN層
- 11 第一の割り溝
- 11a 第一の割り溝
- 11b 第一の割り溝の中央線
- 22 第二の割溝
- W1 第一の割り溝の線幅
- W2 第二の割り溝の線幅

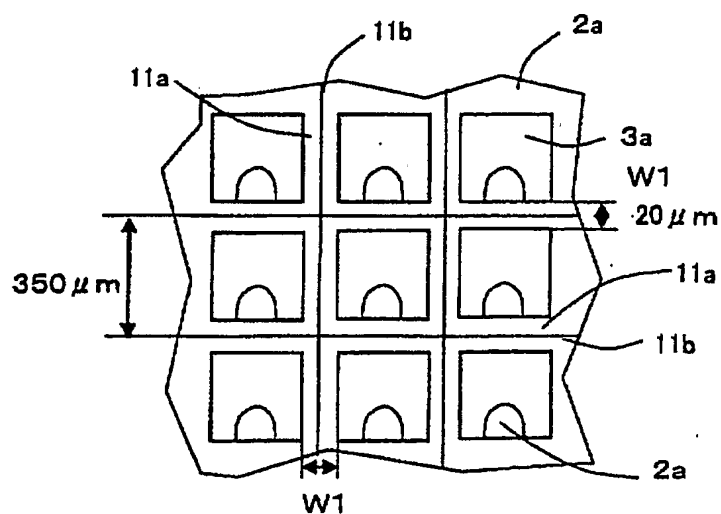
【書類名】図面
【図 1】



【図 2】



【図 3】



【図 4】

